

PAT-NO: JP361161999A

DOCUMENT-IDENTIFIER: JP 61161999 A

TITLE: EXCITATION CONTROLLING METHOD

PUBN-DATE: July 22, 1986

INVENTOR-INFORMATION:

NAME

KAMIYAMA, KENZO

OBANA, GIHE

MIYAHARA, YOJIRO

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP60000134

APPL-DATE: January 7, 1985

INT-CL (IPC): H02P009/30, H02P009/38

US-CL-CURRENT: 322/59

ABSTRACT:

PURPOSE: To eliminate the variation in the terminal voltage of a synchronous machine at overexcitation, low excitation limiting system operating or limiting system switching time by associating a field current control system as a minor loop in a terminal voltage control system.

CONSTITUTION: The terminal voltage V of a generator is detected by a voltage transformer 6 and converter 7, and the difference between it and the command $V_{<SB>0}</SB>$ of a setter 101 is obtained by a comparator 102 and calculated and controlled by a voltage controller 103. The output of the controller 103

becomes a field current command I . A comparator 104 adds the minimum value I_{set} to the command I , and subtracted by the detected value I_f of a field current detected by a current transformer 12 and a converter 13. The deviation is calculated and controlled by a current controller 106, and applied to a gate pulse generator 11, thereby controlling the field current of a generator.

COPYRIGHT: (C)1986,JPO&Japio

⑫ 公開特許公報(A) 昭61-161999

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)7月22日

H 02 P 9/30
9/387239-5H
7239-5H

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 励磁制御方法

⑮ 特 願 昭60-134

⑯ 出 願 昭60(1985)1月7日

⑰ 発 明 者 神 山 健 三 日立市大みか町5丁目2番1号 株式会社日立製作所大みか工場内

⑱ 発 明 者 尾 花 義 兵 衛 日立市大みか町5丁目2番1号 株式会社日立製作所大みか工場内

㉑ 発 明 者 宮 原 養 治 侶 日立市大みか町5丁目2番1号 株式会社日立製作所大みか工場内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 秋本 正実

明 細 書

発明の名称 励磁制御方法

特許請求の範囲

1. 同期機の端子電圧検出値とその指令値との偏差に応じた偏差信号を出力する電圧制御系と、界磁電流の指令値及び上記偏差信号の和と界磁電流の検出値との偏差に応じた制御信号を出力する電流制御系とを設け、同期機の界磁電流を供給するサイリスタ変換器の点弧角を上記制御信号によつて調整するようにしたことを特徴とする励磁制御方法。

2. 同期機の端子電圧及び電流から検出した実際の有効及び無効電力に対応して同期機容量特性から定まる最小界磁電流を決定する手段を設け、該手段の出力を前記界磁電流の指令値とすることによつて低励磁制限を行うとともに、前記偏差信号を制限するリミット手段を前記電圧制御系に設けることによつて過励磁制限を行うようにしたことを特徴とする特許請求の範囲第1項記載の励磁制御方法。

3. 前記電圧制御系の出力する偏差信号を常時記憶する記憶回路を設けるとともに、該記憶回路は、上記電圧制御系が異常の時には該異常発生直前に記憶した偏差信号値を保持して前記電流制御系へ出力し続けるようにし、また外部よりの信号によつてその記憶値を変更可能なようにしたことを特徴とする特許請求の範囲第1項又は第2項記載の励磁制御方法。

発明の詳細な説明

〔発明の利用分野〕

本発明は同期機の励磁制御方法に係り、特に界磁回路の定数が変化した時、又は励磁電流が過励磁あるいは不足励磁とならないように制御した時にも安定な制御を行えるような励磁制御方法を提供するにある。

〔発明の背景〕

同期機(同期発電機又は同期電動機)の励磁電流は、同期機の端子電圧がその目標値と一致するように制御する端子電圧制御系で通常は行われ、これが異常となつた時は励磁電流それ自体がその

目標値と一致するように制御する電流制御系へ手動によつて切換えるという制御方法により制御されている。第6図は従来の励磁制御方法を示すもので、励磁主回路は同期発電機1の励磁電流を供給する励磁変圧器2および交流電圧を直流電圧に変換するサイリスタ変換器3で構成される。制御回路は発電機端子電圧を制御する電圧制御系と発電機の界磁電流を制御する界磁電流制御系より構成され、その切替は切替スイッチ4、5により行い。電圧制御系は、発電機電圧を電圧変成器6により降圧、絶縁し、その信号を変換器7により直流電圧に変換して得た端子電圧の帰還値を電圧設定器8の指令値と比較器9で比較し、その偏差を電圧制御回路10(VC)へ入力してここで制御演算(比例・積分等の制御要素)を行い、その演算結果で、ゲートパルス発生器11(GPG)を動作させ、その出力パルスでサイリスタ変換器3の点弧角を制御して発電機1の端子電圧制御を行う。一方、界磁電流制御系は、変流器12により検出した界磁電流を変換器13にて直流電圧に

方式を示すものである。この回路の基本的な電圧制御系及び界磁電流制御系の動作は第6図の場合と同じであり、その説明は省略し、まず2つの制限系について述べる。第8図は一般的な同期発電機の容量特性曲線を示しており、弧ABは界磁電流によつて決る出力限界曲線、弧BCは発電機出力電流によつて決定される出力限界、弧CDは発電機の電機子端部鉄心過熱による限界を示すものである。発電機はこの容量曲線内で運転しなければならない。これに対応して、過励磁側は界磁電流で制御する過励磁制限系を設けている。即ち過励磁を制御する設定器17の設定値と界磁電流の帰還値とを比較器18で比較し、帰還値の方が設定値を超えると過励磁制限回路19(OEL)の出力が出て、これが加算回路20(AD)で電圧制御回路10の出力に加算され、励磁電流を減少させるように動作する。また低励磁制限系では、まず発電機1の有効電力Pおよび無効電力QをP/Q検出器23により検出する。このためにP/Q

変換して得た界磁電流の帰還値を、電流設定器14の指令値と比較器15で比較し、その偏差を電流制御回路16(CC)へ入力してここで制御演算を行う。そして通常はスイッチ4の方をオンとして電圧制御系で運転し、電圧制御系が不具合となつた場合にスイッチ5の方をオンとして電流制御系に切替える。ところがこの従来方法では2つの制御系が独立に動作しているから、その切替時に端子電圧の変動が発生し、滑らかな切替えができない。また微少信号回路にスイッチを有しているため、スイッチの接触不良で切替えが良好にできないおそれがある。またこの場合、切替えるためには待機中の制御系が正常であることが前提であり、誤動作すると主回路トリップとなり、運転を継続できない、等の問題がある。

第7図は同期発電機の許容する容量範囲を有効に活用するために、過励磁制限系および低励磁制限系を設け、さらに電圧制御系で運転中にその系に異常が発生した場合に界磁電流制御系への切替を滑かに行うための常時追従制御系を設けた従来

からとり込み、発電機出力電流を変流器21、変換器22を介してとり込む。この検出量はP/Q設定器24の設定値と比較器25で比較され、検出量の方が大きくなると低励磁制限回路26

(UEL)が出力を出し、励磁電流を増加させる様に動作する。また常時追従制御系では、加算回路20の出力と界磁電流制御回路16の出力を常時追従制御回路27(FLUC)へとり込み、これらの偏差がある一定値以下になる様に界磁電流設定器14の設定値をモータ28を駆動することによつて電圧設定器8の設定値に追従させ、スイッチ4、5の切替時の切替偏差をなくすようにしている。しかしながら、以上のような従来方式では、制限回路19又は26の出力を加算回路20で加算しているから、これらの制限回路作動時にはステップ状の変化を加算回路20の出力に生じる。このため発電機電圧がこの過不足電流制限系の動作、不動作で変動することはされない。また、常時追従制御系が作動開始する加算回路20の出力と電流制御回路16の出力の偏差を十

分小さく定めておけば、切替時の電圧変動は小さく押えられるが、この場合には設定器14は殆ど常時その設定値変更の機械的動作を行うこととなつて、その電氣的機械的寿命が非常に短くなつてしまう。このため上記の偏差を大きく設定すれば今度は切替時の電圧変動が十分に抑圧できないという欠点がある。また、同期機の界磁回路の特性が変わつた時には、通常は端子電圧制御系のみで制御しているから、この制御系の制御特性を変更しなければならないという問題点もあつた。

〔発明の目的〕

本発明の目的は、上記した従来技術の欠点を除去し、過励磁又は低励磁制限系作動時や制限系切替え時に同期機の端子電圧が変動しないようにし、また界磁回路の時定数に変化しても特に特性を変更する必要のない励磁制御方法を提供するにある。

〔発明の概要〕

本発明は、端子電圧制御系の中に界磁電流制御系をマイナーループとして組み、両制御系を常に動作させるようにしたことを特徴とするもので

するものであるが、これによると界磁電流制御系をマイナーループとして常時作動させているから、同期発電機の界磁回路の時定数がかつても端子電圧制御系がその影響を直接的にうけない制御が可能となる。

しかし第1図の実施例では、端子電圧制御系異常時にはこの系を切離せず、また過励磁及び低励磁制限を行つていない。第2図はこれらの機能も附加した場合の実施例であつて、第1図の制御部100の部分を実図の制御部100Aでおきかえたものである。本実施例では有効/無効電力に対応して励磁電流制限を行う変換器107、メモリ回路108を第1図の制御部100に追加し、また電圧制御回路103A、電流制御回路106Aも第1図より少し変更されたものである。この実施例の動作を説明すると、まず端子電圧制御回路103Aの演算増幅器110は電圧設定器101からの指令値V₀と発電機電圧の帰還量Vの差を検出し、補償回路111の抵抗及びコンデンサによつて制御演算(比例、積分)を行う。ダイオー

ある。

〔発明の実施例〕

以下、本発明を実施例により説明する。第1図は本発明の一実施例を示すものであつて、主制御回路は端子電圧制御系である。即ち本発明の制御部100では、発電機の端子電圧Vを電圧変成器6及び変換器7で検出しこれと設定器101の指令V₀との差を比較器102で求め電圧制御回路103(VC)で制御演算する。この電圧制御回路103の出力は、マイナーループである界磁電流制御系に対して、界磁電流の最大値I₁と最小値I₂の差の指令、即ち界磁電流指令ΔIとなる。比較器104では、この指令ΔIに界磁電流設定器105に設定された最小値I₂を加え、更に変換器12及び変換器13で検出した界磁電流の検出値I₁を差引く。この偏差は電流制御回路106(CC)で制御演算されてゲートパルス発生器11に印加され、これによつて発電機の界磁電流が制御され、発電機の端子電圧一定制御が行われる。本実施例は本発明の基本的な構成に対応

ド112と可変抵抗器113は、演算増幅器110の出力であるΔIを制限することによつて過励磁制限の機能を実現する。次のメモリ回路108は、例えば電圧制御回路103Aが異常になると電流制御回路106Aの入力が異常になつて全体の制御機能を異常とする不都合が生じないように設けたもので、たえず最新のΔIの値を記憶しかつ出力するようにしておき、異常時にはその入力を切つて直前の記憶値ΔIを界磁電流制限回路106Aの入力とするものである。第3図はその具体的回路例を示したもので、入力ΔIをアナログデジタル変換回路121でデジタル化し、122へ入力する。レジスタ122の内容はカウンタ123へ移され、デジタルアナログ変換回路124でアナログ量に戻されて電流制御回路への指令ΔIとなる。この出力指令ΔIは通常はサンプリング同期毎に更新されるレジスタ122の内容となるが、電圧制御回路103Aの故障時はレジスタ122の内容を故障前の値にスイッチ125で固定してしまうことにより切替後の電圧変動を防いでい

る。また必要に応じてカウンタ123の内容をクロック信号CLKを入力して増減させ、 ΔI の値を変えることも可能とする。

以上のメモリ回路108からの指令 ΔI は、第1図の場合と同様に、界磁電流の最大値 I_1 と最小値 I_2 の差を与えるから、界磁電流制御回路106Aではこれに設定器105に設定された最小値 I_2 を加え、そこから励磁電流の帰還値 I_r を差引き、抵抗、コンデンサから成る補償回路131と演算増幅器130によつて制御演算を行つてゲートパルス発生器への出力を得る。但しこのままでは設定器105の設定値 I_2 が、つねに界磁電流の最小値となるように低励磁制限されるが、効率よい運転のためには第8図で説明したように進み力率側の有効電力 P と無効電力 Q を制限するように界磁電流を制限する。そのため力率0の時の最小電流を設定器105の設定値 I_2 とし、有効電力 P と無効電力 Q とから変換器107により ΔI の対応する変化分 ΔI_1 を算出し、これを ΔI に加えることによつて低励磁制限を実現して

206を介してとり込まれる。また有効及び無効電力 P 、 Q は発電機の端子電圧 V 、及び出力電流 I_1 を交流のまま変換器206を介して直接取り込み、演算回路200を用いて算出する。この実施例の処理は第5図に示されたフローに従つて行われる。即ち、ステップ300ではアナログデジタル変換器206を介して発電機の端子電圧 V 、と電流 I_1 、端子電圧及び界磁電流の帰還値 V 及び I_r 等の状態量を取り込み、有効、無効電力を算出する。ステップ301、302では発電機出力の過電圧及び過電流をチェックし、もしそうであればステップ307又は308で過電圧抑制又は電流制限処理を行う。これらのチェックで正常であれば本発明の制御演算に移る。制御演算では、まずステップ303の電圧制御演算で端子電圧帰還値 V とその設定値 V_0 を比較し、補償演算を行つて ΔV を算出する。ステップ304の偏差界磁電流制御演算では、先に求めた有効及び無効電力 P 、 Q から第2図の ΔI_1 を算出する。ステップ305の界磁電流制御演算では既に求められた

いる。以上のように、メモリ108を用いて切替時の電圧変動を防止し、また低励磁制限回路及び過励磁制限回路をマイナーループ内でフィードバック制御で構成しているため、制御回路が安定となりかつ低励磁又は過励磁制限回路動作時の発電機端子電圧の変動も少なくすることが出来る。更に従来のような自動追従回路は不要となる。

第4図は本発明の方法を、マイクロプロセッサを用いて全面的にデジタル化して実現した実施例のハードウェア構成を示したもので、メモリ201、制御演算及び論理演算を行う演算回路200、これに一定同期で割込みをかけるためのタイマー回路202、上位計算機とのリンク回路203、コンソール用リンク回路204等から成っている。制御演算結果はゲートパルス発生器11へ出力される。各制御回路で用いる電圧設定値 V_0 及び電流設定値 I_0 はプログラム内の定数としてプロセス入出力回路205から入力して設定される。端子電圧の帰還値 V_r 及び界磁電流の帰還値 I_r はアナログデジタル変換回路

ΔI 及び ΔI_1 と電流設定値 I_0 、界磁電流帰還値 I_r とからそれらの比較と補償演算を行い、その結果に対してステップ306で制御角指令値制限の演算を行つてゲートパルス発生器11を制御する。この制御によつて決定された位相の点弧パルスがサイリスタ変換器へ与えられ、界磁電流が制御され、発電機端子電圧がその指令値に一致するように制御される。

〔発明の効果〕

以上の実施例から明らかなように、本発明によれば、端子電圧制御ループの内側に界磁電流制御ループをマイナーループとして常時付加し、かつ界磁電流制御ループの指令として、過、不足界磁電流指令を与えることにより、過、不足励磁制限動作時や端子電圧制御ループを切離した時にも端子電圧に大きな変動を生じることなく安定な制御が可能となり、従来の追従制御器も不要になるといふ効果がある。また、同期機の容量が変つて界磁回路の時定数が大幅に変る場合でも、界磁電流を界磁電流制御ループのみで制御できるので、端子

電圧制御系は界磁時定数の影響を直接受けず、従つて系統から要求される動特性のみから各制御系の動特性を安定に設定することができるという効果がある。

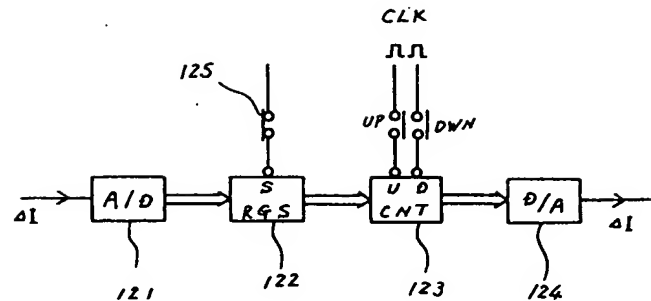
図面の簡単な説明

第1図は本発明の一実施例を示す図、第2図は本発明の別の実施例を示す図、第3図は第2図の実施例に於るメモリ回路の構成例を示す図、第4図及び第5図は本発明をデジタル処理により実現した時のハードウェア構成例及びその処理フロー例を示す図、第6図及び第7図は従来の励磁制御方法を示す図、第8図は発電機容量特性曲線を示す図である。

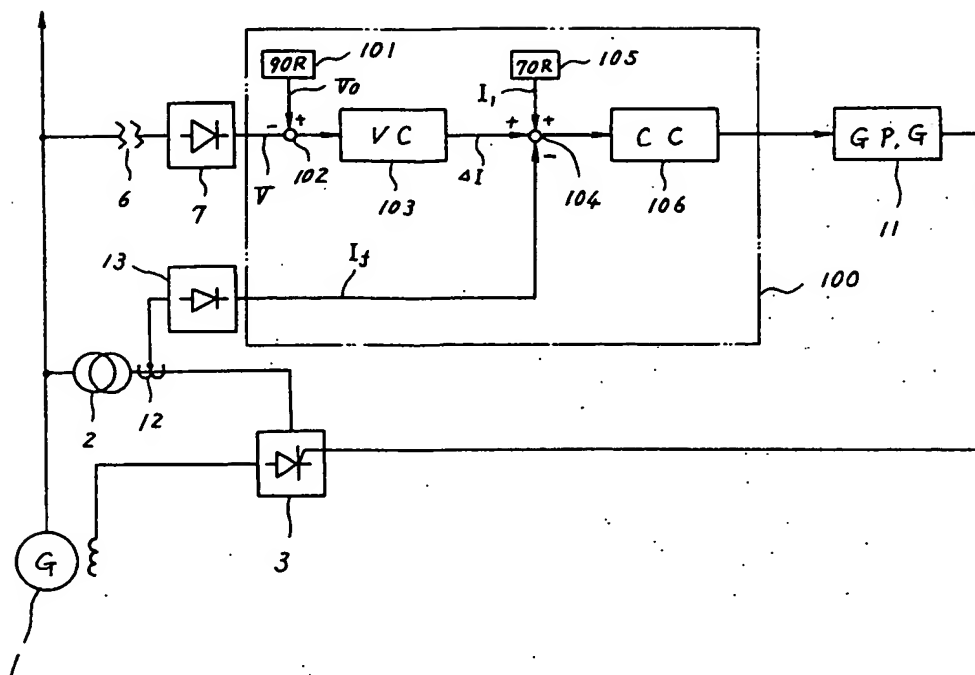
1…同期機、3…サイリスタ変換器、11…ゲートパルス発生器、101…指令電圧設定器、103, 103A…電圧制御回路、105…指令電流設定器、106, 106A…電流制御回路、107…変換器、108…メモリ回路。

代理人 弁理士 秋本正実

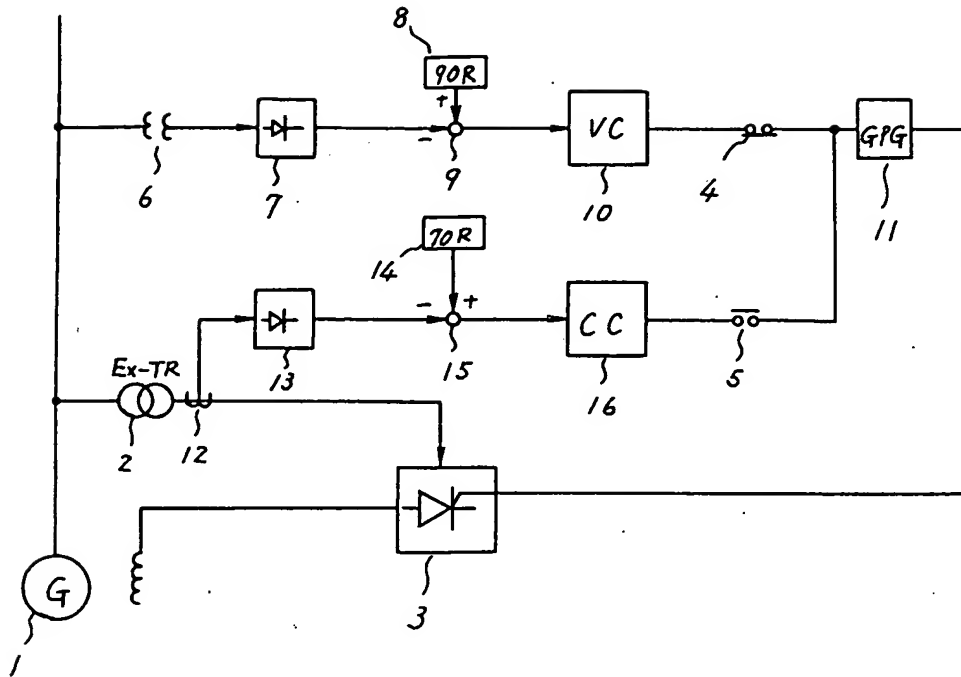
第3図



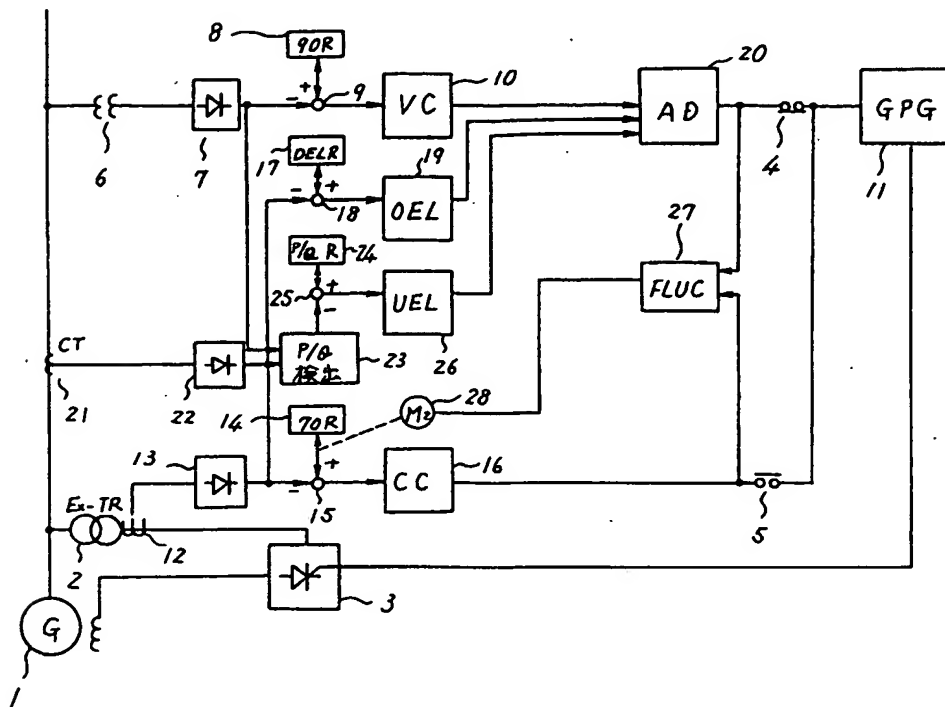
第1図



第 6 図



第 7 図



第 8 図

